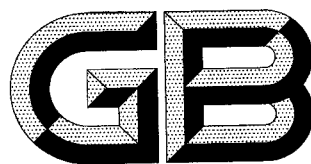


ICS 35.060
L 74



中华人民共和国国家标准

GB/T 18349—2001

集成电路/计算机硬件描述语言 Verilog

Integrated Circuit/Computer Hardware Description
Language Verilog

2001-04-09 发布

2001-10-01 实施

国家质量技术监督局 发布

目 次

前言	Ⅲ
1 概述	1
2 词法约定	4
3 数据类型	9
4 表达式	19
5 语义调度	32
6 赋值语句	35
7 门级建模和开关级建模	38
8 用户定义的基元(UDPs)	63
9 行为建模	71
10 任务和函数	92
11 有名称的块和任务的停用	98
12 层次化结构	100
13 指定块	113
14 系统任务和函数	128
15 值变转储(VCD)文件	155
16 编译指令	164
17 PLI TF 和 PLI ACC 的接口机制	170
18 ACC 例行程序的使用	174
19 ACC 例行程序的定义	203
20 TF 例行程序的使用	329
21 TF 例行程序的定义	332
22 VPI 例行程序的使用	372
23 VPI 例行程序的定义	398
附录 A(标准的附录) 形式化语法定义	421
附录 B(标准的附录) 关键词列表	433
附录 C(标准的附录) acc_user.h 文件	434
附录 D(标准的附录) veriusser.h 文件	446
附录 E(标准的附录) vpi_user.h 文件	454
附录 F(提示的附录) 系统任务和函数	469
附录 G(提示的附录) 编译指令	474
附录 H(提示的附录) 参考文献	475
附录 I(提示的附录) 专用术语中英文对照表	475

前 言

本标准等同采用(美国)电气与电子工程师协会 IEEE Std 1364—1995《基于硬件描述语言 Verilog 的标准硬件描述语言》,其技术内容与 IEEE Std 1364—1995 完全一致,标准结构也无任何改动,只是增加了附录 I“专用术语中英文对照表”,以利于本标准专业术语的统一。

IEEE Std 1364—1995 标准已被世界各工业发达国家普遍接受,将其等同采用为我国国家标准将使我国的集成电路 CAD 软件技术在使用方法上与国际保持一致,有利于我国与国际集成电路设计技术标准化接轨,也有利于我国硬件描述语言按国际惯例规范化。

Verilog HDL (Verilog Hardware Description Language, Verilog HDL)是一项重要的集成电路 CAD 软件技术,是当前 HDL(硬件描述语言)设计方法学的基础,受到半导体及集成电路设计行业的普遍重视,世界各大半导体公司大多采用了该标准。当前国际微电子技术正在迅猛发展,我国正处在突破集成电路产业落后局面的关键时刻,而集成电路设计是有可能首先取得成功的行业,这一点在国内已取得共识。因此,本标准的发布实施必将会对我国的 CAD 发展有重要的推动作用。

硬件描述语言 Verilog 是 Philip R. Moorby 于 1983 年在英格兰阿克顿市的 Gateway Design Automation 硬件描述语言公司设计出来的,该公司在同一年发布了“Verilog HDL”及其模拟器,并于 1985 年推出改进产品 Verilog—XL。1989 年 12 月,Cadence 公司并购了这家公司,并于 1990 年将 Verilog HDL 公开,成立了 OVI(Open Verilog International)。OVI 是由 Verilog HDL 用户和 CAE 供应商组成的行业协会,负责推动和制定工业标准。Verilog HDL 在 1995 年 12 月 12 日被 IEEE 接纳为 IEEE std 1364—1995 工业标准(下文简称 Verilog)。

Verilog 从诞生起就与生产实际紧密结合在一起,具有结构清晰、文法简明、功能强大、高速模拟和多库支持等优点,并获得许多工具的支持,深受用户的喜爱。虽然另一种硬件描述语言 VHDL 于 1987 年首先成为 IEEE std 1076—1987 标准,并于 1993 年扩展为 IEEE std 1076—1993 标准,使它得到迅速发展,但是 Verilog 实际上是 IC 行业标准,特别是在 1995 年 12 月被 IEEE 接纳为正式标准后,使它成为一种很有竞争力的硬件描述语言。

Verilog IEEE std 1364—1995 标准包含的内容十分丰富,主要有:词法约定、数据类型、表达式、语义调度、赋值语句、门级建模和开关级建模、用户定义的基元、行为级建模、任务和函数、有名称的块和任务的停用、层次化结构、指定块、系统任务和函数、值变转储文件、编译指令、PLI TF 和 ACC 接口机制、ACC 程序定义及 ACC 程序的使用、TF 程序定义及 TF 程序的应用、VPI 程序定义及 VPI 程序的使用等内容。

本标准中黑体字和斜体字的说明见 1.3。

本标准的附录 A、附录 B、附录 C、附录 D、附录 E 都是标准的附录。

本标准的附录 F、附录 G、附录 H 和附录 I 都是提示的附录。

本标准由中国标准研究中心和北京理工大学提出。

本标准由全国信息技术标准化技术委员会归口。

本标准起草单位:北京理工大学和中国标准研究中心。

本标准主要起草人:刘明业、蒋敬旗、董连续、石峰、胡燕翔、叶梅龙、董国华、樊孝忠。

1 概述

1.1 本标准的目的

本标准旨在作为 Verilog[®]硬件描述语言(HDL)的完整规范。本文档包括：

- Verilog HDL 所有结构的形式化语法和语义；
- 模拟系统的任务和函数,例如文本输出显示命令；
- 编译指令,例如文本替代宏和模拟的时间刻度；
- 编程语言接口(PLI)的连接机制；
- 存取例行程序、任务例行程序/函数例行程序以及 Verilog 的过程化接口例行程序的形式化语法和语义；
- 应用实例；
- PLI 头文件列表。

1.2 本标准使用的一些约定

本标准分为多章,每章集中阐述该语言的某个特定问题。每章中各条论述单独的结构和概念。论述中首先是对结构或概念的介绍和基本原理,接着是语法和语义描述,以及一些举例和注释。

本标准中使用的动词“shall”表示强制要求,而动词“can”表示可选择性。这些动词对于不同的读者表示不同的含义：

a) 对于 Verilog HDL 的工具开发人员来说,动词“shall”表示标准强加的要求。要求最终实现的结果能够实现这些要求,如果要求不能得到满足就报错。

b) 对于 Verilog HDL 模型开发人员来说,动词“shall”表示 Verilog HDL 的特性是语言定义的自然结果。要求模型开发人员能够遵循这些特性所隐含的约束。动词“can”表示可选择性,模型开发人员可以随意操作。如果采用,则要求模型开发人员遵循语言定义所阐明的要求。

c) 对于使用 Verilog HDL 模型的用户来说,动词“shall”表示模型的特性是语言定义的自然结果。模型用户可以依赖 Verilog HDL 源文本隐含的模型特性。

1.3 语法描述

使用 Backus Naur 范式(BNF)进行 Verilog HDL 的形式化描述。使用以下约定：

a) 使用小写字母、下划线表示语法范畴。例如：

module _ declaration

b) 使用黑体字表示保留的关键词、操作符,标点符号作为语法要求的一部分。这些字以较大的字体出现以便于区别。例如：

module => ;

c) 使用竖线将可选项分开,除非它以黑体字出现,此时它表示其本身。例如：